



# Projektseminar/Bachelor Thesis

## Entwicklung einer Matlab-FPGA Schnittstelle zum Datenaustausch und Timing-Management eines Testaufbaus

### Beschreibung

Quanten Computer können potentiell noch nie gesehene Rechenleistung bieten. Im Vergleich zu herkömmlichen Computern können Quantencomputer Optimierungsproblem um ein Vielfaches schneller lösen. Jedoch ist die Konstruktion von Quanten Computern aufwendig und steht vor erheblichen Schwierigkeiten. Kryotechnik ist erforderlich für die extremen Temperaturen, aufwendige Schirmung für die sensiblen Quantensysteme sind notwendig und aufwendige Messelektronik wird benötigt.

Hier am Fachbereich forschen wir an neuen Ansätzen um das Lösen von Optimierungsproblemen effizienter zu gestalten. Da unser Ansatz auf herkömmlichen CMOS Silizium Technologie basieren, entfallen die oben genannte Probleme von Quantencomputern. Wir haben einen Chip entwickelt, der in einem Versuchsaufbau evaluiert werden soll. Die Koordination und Auswertung der Tests erfolgt mittels Matlab. Für die Kommunikation zwischen Computer und Chip wird ein FPGA eingesetzt. Dieser nimmt Befehle und Daten über eine Serielle Schnittstelle entgegen und setzt diese in elektrische Signale für den Chip um. Es werden Daten in den Chip geschrieben und ausgelesen, was ähnlich eines Shift-Registers aufgebaut ist. Außerdem müssen Signale mit einstellbarem Timing generiert werden um den Betriebszustand des Chips zu kontrollieren und zu steuern.

Aufgabe ist die Implementation dieser FPGA/Matlab Schnittstelle. In Matlab sollen Funktionen bereitgestellt werden, die entsprechende Daten und Parameter für die Übertragung annehmen. Ein CMod S7 FPGA Board wird verwendet und soll in Verilog programmiert werden. Bei Bedarf dürfen frei verfügbare IP-Blöcke des Herstellers benutzt werden. Ein Teil der Programmierarbeiten kann von zu Hause erfolgen. Messungen bei uns im Labor sind aber notwendig um die korrekte Funktionsfähigkeit zu zeigen. Der Zugriff auf Messgeräte in unserem Labor kann bei der Entwicklung der FPGA/Chip Kommunikation sowie bei der Implementierung der Timing- und Kontrolllogik nützlich sein.

### Aufgaben

- Entwurf der seriellen Matlab/FPGA Übertragung
- Implementierung des Datenaustausch zwischen FPGA und Chip
- Implementierung der Timing- und Kontrolllogik
- optional: Zusätzliche Fehlerkorrekturverfahren um die Übertragung abzusichern

### Voraussetzungen:

- Kenntnisse in Verilog (z.B. Logischer Entwurf)
- Kenntnisse im Bereich Elektronik (Elektronik, Analog Integrated Circuit Design)
- Grundkenntnisse in Matlab/Octave/Scilab von Vorteil
- Programmiererfahrung von Vorteil

### Kontakt:

M.Sc. Markus Graber

[Markus.Graber@ies.tu-darmstadt.de](mailto:Markus.Graber@ies.tu-darmstadt.de), S3|06 332